

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-258307**

(43)Date of publication of application : **11.09.2002**

(51)Int.Cl.

G02F 1/1343

G02F 1/1368

(21)Application number : **2002-033746**

(71)Applicant : **AU OPTRONICS CORP**

(22)Date of filing : **12.02.2002**

(72)Inventor : **YU JIAN-SHEN
CHANG WEI-CHIH**

(30)Priority

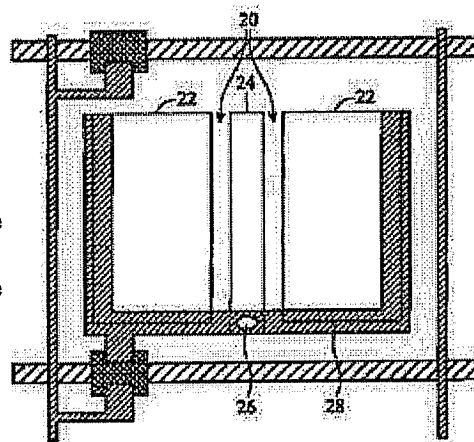
Priority number : **2001 90103234** Priority date : **14.02.2001** Priority country : **TW**

(54) THIN FILM TRANSISTOR LIQUID CRYSTAL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a TFT LCD which has multiple domains formed by the voltage difference between lower electrodes.

SOLUTION: The display is composed of 1st and 2nd substrates, a liquid crystal layer, an upper electrode, a lower electrode, and polarizing plates. A sealed space is formed between the 1st and 2nd substrates. A liquid crystal layer fills the sealed space. The lower electrode is so formed on the internal surface of the 2nd substrate to have a narrow electrode and a pixel electrode by it. The narrow electrode is coupled with the drain or source of a thin film transistor and part of the pixel electrode overlaps with the drain or source of the thin film transistor, but is insulated from the drain or source of the thin film transistor. The polarizing plates are formed on the external surfaces of the 1st and 2nd substrates.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-258307
(P2002-258307A)

(43) 公開日 平成14年9月11日 (2002.9.11)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 2 F	1/1343	G 0 2 F	2 H 0 9 2
	1/1368		
		1/1368	

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2002-33746 (P2002-33746)
(22) 出願日 平成14年2月12日 (2002.2.12)
(31) 優先権主張番号 9 0 1 0 3 2 3 4
(32) 優先日 平成13年2月14日 (2001.2.14)
(33) 優先権主張国 台湾 (TW)

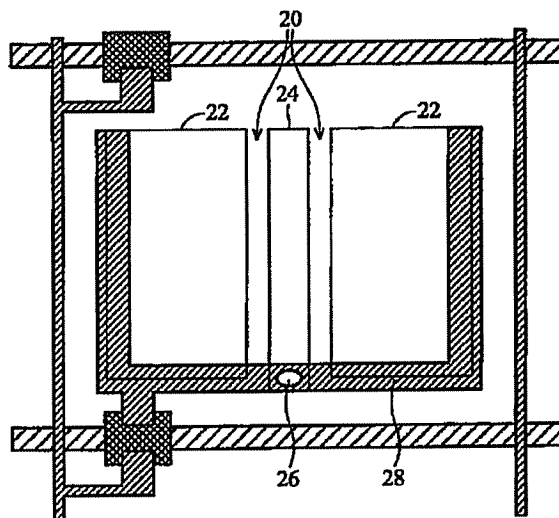
(71) 出願人 501358079
友達光電股▼ふん▲有限公司
台湾新竹科学工業園区新竹市力行二路1号
(72) 発明者 尤 建盛
台湾新竹市東区東勢里11鄰東明街98之2号
2楼
(72) 発明者 張 ▼い▲熾
台湾新竹縣竹北市中興里12鄰嘉興路277巷
25号8楼
(74) 代理人 100111774
弁理士 田中 大輔
Fターム (参考) 2H092 GA14 GA20 GA24 GA28 JA24
JA41 JA45 JB64 JB65 NA04

(54) 【発明の名称】 薄膜トランジスタ液晶ディスプレイ

(57) 【要約】

【課題】 下部電極間の電圧差により形成されるマルチドメインを備える TFT LCD の提供を目的とする。

【解決手段】 ディスプレイは第一基板と第二基板、液晶層、上部電極、下部電極、複数の偏光板からなる。密封空間は第一基板と第二基板との間に形成される。液晶層は密封空間を満たす。上部電極は第一基板の内側に形成される。下部電極は、ナロー電極とその横にある画素電極を備えるように、第二基板の内側表面に形成される。ナロー電極は薄膜トランジスタのドレインまたはソースに結合され、画素電極の一部分は薄膜トランジスタのドレインまたはソースをオーバーラップするが、薄膜トランジスタのドレインまたはソースとは絶縁されている。偏光板は第一基板と第二基板の外側表面に形成されている。



【特許請求の範囲】

【請求項 1】 密閉空間を間に備える第一基板および第二基板と、

前記密閉空間を満たす液晶層と、

前記第一基板の内側表面に形成された上部電極と、

前記第二基板の内側表面に、薄膜トランジスタのドレインまたはソースに結合されたナロー電極、および薄膜トランジスタのドレインまたはソースと絶縁されているとともに、該ドレインまたはソースに一部が重なる状態にされ、前記ナロー電極の側に設けられた画素電極を、備えるように形成された下部電極と、

前記第一基板と前記第二基板との外側表面に形成された偏光板と、からなることを特徴とする記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 2】 前記第一基板は負の液晶層である請求項 1 に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 3】 前記ナロー電極の電圧値は前記画素電極より 5%～200%高いものである請求項 1 又は請求項 2 に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 4】 前記ナロー電極は前記薄膜トランジスタのドレインに結合されたものである請求項 1～請求項 3 いずれかに記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 5】 前記画素電極は電氣的に浮遊した状態 (electro-floating) である請求項 1～請求項 4 いずれかに記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 6】 前記画素電極の電圧値はコンデンサカップリングにより形成されるものである請求項 1～請求項 5 いずれかに記載の薄膜トランジスタ液晶ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ液晶ディスプレイ (TFT-LCD) に関するものであって、特に、コンデンサカップリング (capacitive coupling) で生じる電圧差によりマルチドメイン (multiple domains) を形成する薄膜トランジスタ液晶ディスプレイに関するものである。

【0002】

【従来の技術】液晶ディスプレイ (以下、LCD と称す) がノートブック型パソコン及びモニターに適用されるのが一般的になるにつれ、LCD 市場も急速に拡大している。大型、高解析度の LCD パネルはデスクトップモニターに適用され、広視野角、高速応答時間 (response time) であることが要求されるものである。

【0003】垂直整列 (vertically aligned、VA) LCD にとって、液晶のドメイン (domain) を制御し、広視野角を達成することは非常に重要な技術である。公知である多くの LCD は、90 度のツイストネマティック型 (twisted nematic type、TN) LCD で、液晶パネルと外側に貼接された偏光板 (polarizer) とを備

えている。このような公知の LCD の欠点は視野角が狭く (水平方向 ± 40 度、垂直方向 ± 30 度)、応答時間も遅く (約 50ms)、色分散 (color dispersion) にもバラツキがある。そのため、従来の技術によって、より好ましい LCD を得ることは困難である。更に、製造工程におけるラビング (rubbing) により、静電気放電と汚染を生じてしまう。

【0004】広視野角を備える LCD パネルを製造するため、公知の技術では多種の VALCD 構造を発展させてきた。例えば、図 1 で示されるのパターン VA (patterned VA、PVA) 型 LCD (サムスン社 (SAMSUNG COMPANY)) があり、上部電極 10 と下部電極 12 上にスリット 14 があり、スリット 14 周辺で水平電界 (horizontal electric field) を形成する。図 1 で示される曲線は電界と垂直な電位線 (electric potential line) を表す。そして、基板に垂直である液晶は水平電界により方向転換され、異なったドメインで異なったアライメント方向をなす。

【0005】また、他の方式としてマルチドメイン垂直整列 (multiple domains vertical alignment、MVA) が提供 (富士通株式会社) されており、それは上部電極に突起を形成して、液晶に予傾斜角 (pre-lean angle) を提供することにより、液晶に異なるドメインで異なるアライメントを形成させるものである。

【0006】上述の公知技術は広視野角を備える LCD を提供することができるが、カラーフィルター上にスリット又は突起を形成する別の工程が必要である。また、上基板と下基板との間には高精度のアライメントが要求され、製造工程的には非常に高度で困難な技術が必要となる。

【0007】

【発明が解決しようとする課題】そこで、本発明は、下部電極間の電圧差により形成されるマルチドメインを備える TFT LCD を提供することを目的とし、コンデンサカップリングにより電圧差を形成してドメインを制御する技術を提供するものである。この発明によれば、別途にデータラインを加えることなく、電圧差を下部電極間で形成することができ、駆動するチップ数は減少し、TFT アレイの設計が簡単になる。更に、本発明は上部電極構造を変更する必要がない。そのため、上述したような従来から知られているパターン VA 型 LCD やマルチドメイン垂直整列型 LCD と比較して、簡単で、容易な製造工程となる。

【0008】

【課題を解決するための手段】上記課題を達成するため、本発明では、密閉空間を間に備える第一基板および第二基板と、前記密閉空間を満たす液晶層と、前記第一基板の内側表面に形成された上部電極と、前記第二基板の内側表面に、薄膜トランジスタのドレインまたはソースに結合されたナロー電極、および薄膜トランジスタの

ドレインまたはソースと絶縁されているとともに、該ドレインまたはソースの一部が重なる状態にされ、前記ナロー電極の側に設けられた画素電極を、備えるように形成された下部電極と、前記第一基板と前記第二基板との外側表面に形成された偏光板と、からなる薄膜トランジスタ液晶ディスプレイとした。

【0009】本発明では、下部電極が、少なくとも二つの電極、即ち、ナロー電極 (narrow electrode) と画素電極 (pixel electrode) に分割される。そして、この画素電極は、更に幾つかの画素電極に分割される。さらに、ナロー電極は薄膜トランジスタのドレインまたはソースに結合され、画素電極の一部分が薄膜トランジスタのドレインまたはソースをオーバーラップするようにされており、画素電極は薄膜トランジスタのドレインまたはソースと絶縁されている。これにより、コンデンサカップリングが生じて、ナロー電極の電圧を画素電極より高くすることができる。そのため、水平電界は、ナロー電極と画素電極との間に形成されて、画素中に複数のドメインを形成することができるのである。つまり、本発明は、カラーフィルターにスリット又は突起を形成する工程が不要となり、更に、上部基板と下部基板との間のアライメントを高精度にコントロールするという要求も回避できることとなる。

【0010】本発明に係る薄膜トランジスタ液晶ディスプレイでは、第一基板が負の液晶層であることが好ましい。また、ナロー電極の電圧値は画素電極より5%~200%高いものが好ましい。5%未満では、応答時間が長くなり、反応スピードが遅くなるとともに開口率 (aperture ratio) が低下する傾向となり、一方、200%を越えると、応答時間が短くなるが、過大なデータ入力信号をようすと同時に、電力の消耗も増加するからである。

【0011】そして、ナロー電極は前記薄膜トランジスタの前記ドレインに結合されることが望ましい。また、画素電極は電氣的に浮遊した状態 (electro-floating)、つまり、電氣的に隔離した状態とし、その画素電

極の電圧値はコンデンサカップリングにより形成されていることが好ましい。

【0012】

【発明の実施の形態】上述した本発明の目的、特徴、及び長所をより一層明瞭にするため、以下に本発明の好ましい実施の形態を挙げ、図を参照にしながらさらに詳説する。

【0013】図2及び図3は、本発明に係る画素構造を示すものである。図2と図3では、二つのドメインと四つのドメインを備える二例の画素電極を示している。先ず、図2においては、下部電極は溝20により、二つの画素電極22と一つのナロー電極24とに分割されている。画素電極22は電氣的に浮遊した状態 (electro-floating) で、ナロー電極24は接触孔26を通じてドレイン28に接続している。図3においては、下部電極は溝21により、四つの画素電極23と一つのナロー電極25とに分割されている。四つの画素電極23は電氣的に浮遊した状態 (electro-floating) で、ナロー電極25は接触孔27を通じてドレイン29に接続している。

【0014】図4は、図2及び図3の断面図で、コンデンサカップリングにより電圧差を形成するTF-T-LCDの構造を示している。カラーフィルター (図示せぬ) を備える上部電極30の電圧値はV2で、浮遊状態の画素電極 (floating pixel electrode) 22の電圧値はVfである。下部電極のナロー電極24はTF-Tのドレイン28に接続され、その電圧をV1とする。更に、第一酸化層 (例えばSiN) の静電容量 (capacitance) をC1、第一酸化層32の厚さをd1で、第一酸化層32の領域面積をA1、第一酸化層32の誘電率 (dielectric constant) をε1とする。また、第二酸化層34は液晶層である。液晶層の静電容量をC2、液晶層の厚さをd2、液晶層の領域面積をA2、液晶層の誘電率ε2とすると、画素電極の電圧は次式 (1) のようになる。

【0015】

$$V_f = (C_1 V_1 + C_2 V_2) / (C_1 + C_2) \dots \dots \dots (1)$$

【0016】図5には本発明に係るLCDと公知のPVA型LCDによるLCD応答時間を示している。図5において、グラフ領域Aは公知のPVA型LCDの応答時間を、グラフ領域Bは本発明に係るLCDの応答時間を表している。

【0017】「▲」は上部電極の電圧がゼロで、画素電極の電圧が3V時の応答時間を、「■」は上部電極の電圧がゼロで、画素電極の電圧が4V時の応答時間を、

$$V_f - V_2 < 0.9 (V_1 - V_2) \dots \dots \dots (2)$$

【0019】そして、(1)と(2)の式から以下の式(3)が得られる。

$$C_1 / C_2 < 9 \dots \dots \dots (3)$$

【0021】また、静電容量の方程式は次式(4)で表

「◆」は上部電極の電圧がゼロで、画素電極の電圧は5V時の応答時間を表している。この図5から、本発明に係るLCD構造であると、ナロー電極の電圧が両側の画素電極の電圧より10%高くなると、応答時間は減少する傾向を示し、公知技術よりも優れていることがわかる。このことから、本発明に係るLCD構造の条件は次の方程式(2)で表される。

【0018】

される。

$$C = \epsilon A / d \dots \dots \dots (4)$$

【0023】以上の式から次式(5)を得ることができる。

【0024】

$$\varepsilon 1 A 1 d 2 / \varepsilon 2 A 2 d 1 < 9 \cdots \cdots (5)$$

【0025】(5)の不等式の条件が満たされた場合、画素電極22とナロー電極24との間の電極差は十分になり、PVA型LCDより短い応答時間が達成できるものとなる。

【0026】図6は本発明に係るTFT LCD構造を示す。この図6におけるTFT LCD構造は、上基板40、下基板50、液晶層60、上部電極42、下部電極、偏光板70、からなる。

【0027】密閉空間は上基板40と下基板50との間に形成される。液晶層60は密閉空間を満たす。上部電極42は上基板40の内側表面に形成される。下部電極は下基板の内側表面に形成される。下基板にはナロー電極52とナロー電極52の側に設けられた、少なくとも一つの画素電極54を備える。

【0028】図7は、図6におけるTFT LCD構造の電位分布を示している。このTFT LCD構造によると、上部電極42は一の電極(a pack electrode)で、グラウンドに接続されており、下部電極は二つの画素電極54と一つのナロー電極52に分割されている。ナロー電極52の電圧は、画素電極54よりも5%~20%高いものである。また、ナロー電極52は薄膜トランジスタのドレインまたはソースに結合されており、画素電極54の一部分は薄膜トランジスタのドレインまたはソースにオーバーラップするが、当該ドレインまたはソースとは絶縁されている。複数の偏光板は上基板40と下基板50の外側表面に形成されている。

【0029】図7において、水平電界はナロー電極52と画素電極54間に形成され、図7の曲線は電位線を示す。本発明に係る電界方向は、公知のPVA型LCDと同様であり、液晶方向の転向モジュールも公知のPVA型LCDと同様である。しかしながら、本発明は、上部電極にスリットを形成する必要がない。そして、本発明では、下部電極は少なくとも二つの画素電極54と一つのナロー電極52に分割されるものである。ナロー電極の形状は特に限定されず、直線又は曲線などのいずれの形状を採用することができる。また、画素電極の形状及び大きさも限定されず、その数についても特に制限無く、偶数でも、奇数でもよい。各ドメインのサイズは設計に基づき、その際の溝の大きさは十分な水平電界が形成できるように考慮して設計される。更に、本発明における液晶層は負の液晶層を用いている。本発明の構造は更に、補償の薄片(compensative flakes)、カラーフ

ィルター、反射板(reflector)を備える。また、本発明の構造は更に、薄膜トランジスタと周辺回路を備える。

【0030】

【発明の効果】上記したように、本発明によると、コンデンサカップリングにより電圧差を形成してドメインを制御するため、別途にデータラインを加えることなく、電圧差を下部電極間で形成することができ、駆動するチップ数は減少し、TFTアレイの設計が簡単になる。また、上部電極構造を変更する必要もないので、従来から知られているPVA型LCDやマルチドメイン垂直整列型LCDと比較して、簡単で、容易な製造工程とすることができる。

【図面の簡単な説明】

【図1】公知のPVA型LCDの電位分布を示す図である。

【図2】二つのドメインを備える画素構造を示す配置図である。

【図3】四つのドメインを備える画素構造を示す配置図である。

【図4】図2及び図3の断面図である。

【図5】本発明に係るLCDと公知のPVA型LCDの応答時間を示す図である。

【図6】本発明に係るTFT LCDの構造を示す図である。

【図7】本発明に係るTFT LCDの電位分布を示す図である。

【符号の説明】

10、30、42…上部基板

12…下部基板

14…スリット

20、21…溝

22、23、54…画素電極

24、25、52…ナロー電極、

26、27…接触孔

28、29…薄膜トランジスタのソースまたはドレイン電極、

32、34…酸化層

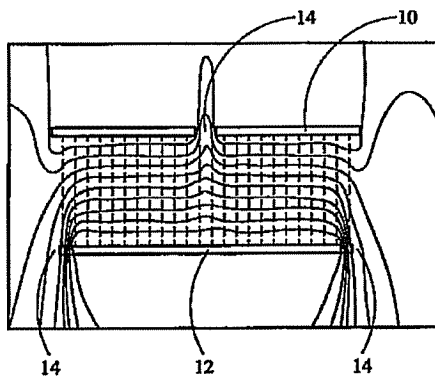
40…上基板

50…下基板

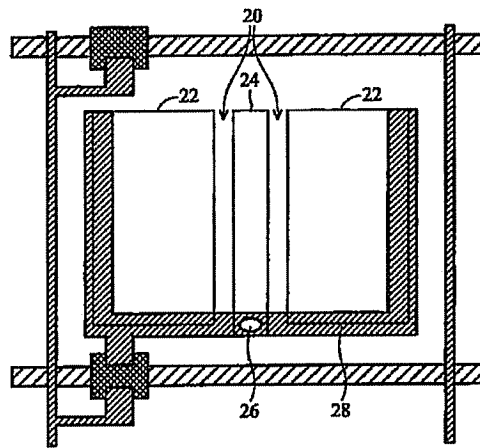
60…液晶

70…偏光板

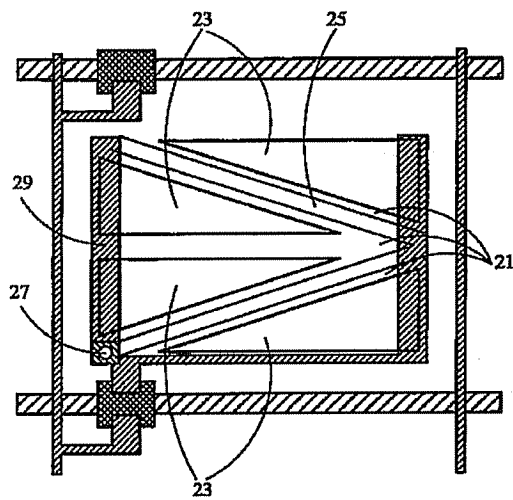
【図 1】



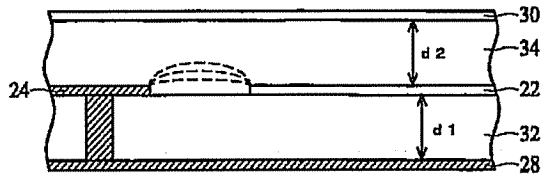
【図 2】



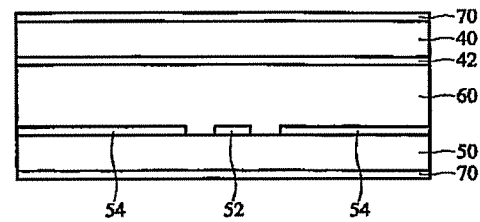
【図 3】



【図 4】



【図 6】



【図 7】

